

DENEY 2- Sayıcılar

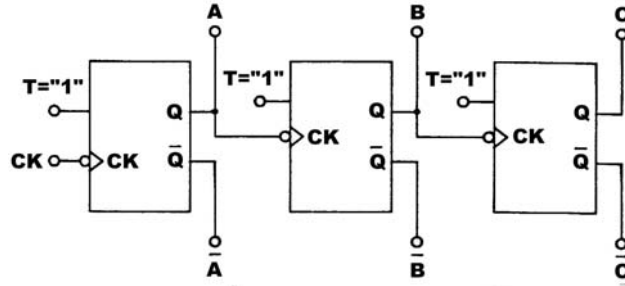
DENEY 2- JK Flip-Flop Devreleri

DENEYİN AMACI

1. Sayıcıların prensiplerinin ve sayıcıların JK flip-flopları ile nasıl gerçekleştirildiklerinin incelenmesi.

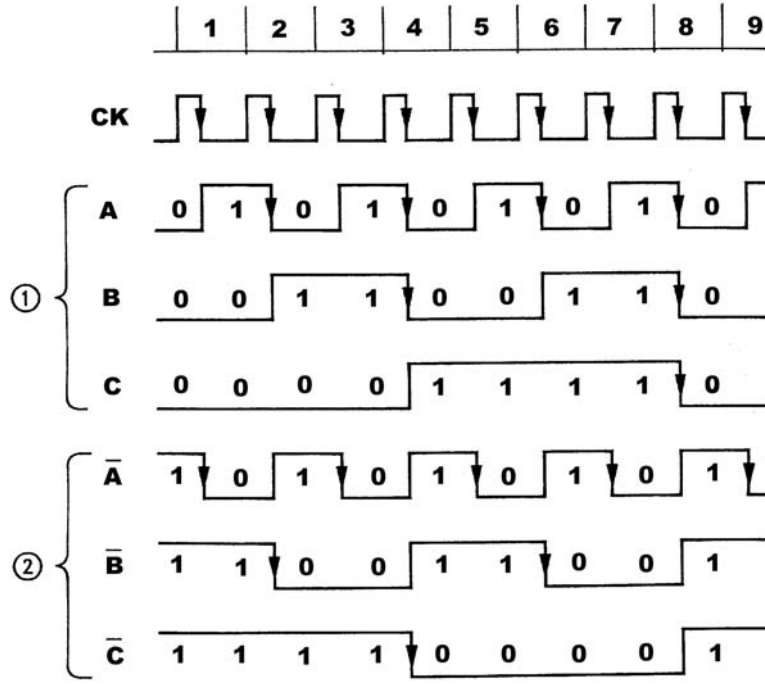
GENEL BİLGİLER

Sayıcılar flip-floplar ve temel lojik kapılar kullanılarak gerçekleştirilir. T flip-flopunun $T=1$ ve $CK=1$ olduğunda "0" ile "1" durumları arasında gidip geldiği bilinmektedir.



Şekil-1

Üç tane T flip-flopunun art arda bağlandığı Şekil-1'deki devreye bakalım. Öndeki flip-flopun Q çıkışları kendilerinden sonra gelen flip-flopun saat girişine (CK) bağlanmıştır. Art arda bağlanan flip-flop sayısını "n" kabul edersek, "n" tane giriş vardır ve en son flip-flopun çıkışı $n/2^n$ olacaktır. Şekil-2'de çıkışların dalga şekilleri gösterilmiştir.



Şekil-2

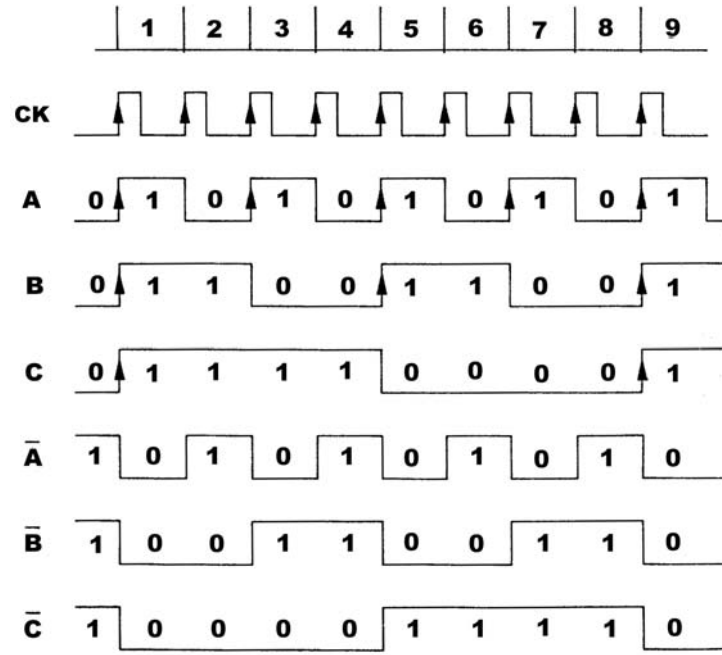
Şekil-2'de A, B, C normal çıkışları yukarı doğru sayarken, A', B', C' tümleyen çıkışları aşağı doğru saymaktadır ve CK inen-kenarla tetiklemektedir.

A'nın döngü süresi CK'nın iki katı, frekansı ise yarısıdır.

B'nin döngü süresi A'nın iki katı, frekansı ise yarısıdır.

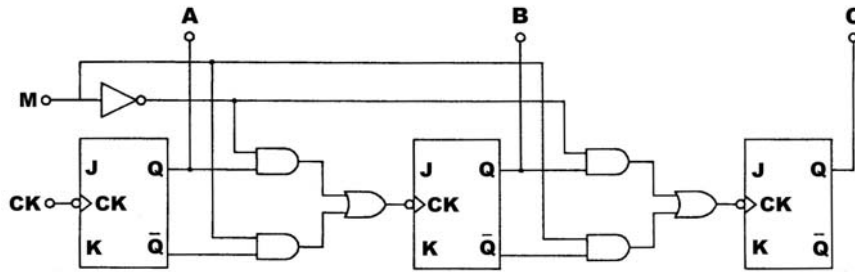
C'nin döngü süresi B'nin iki katı, frekansı ise yarısıdır.

CK çıkan-kenarla tetiklerse çıkışların dalga şekli Şekil-3 'de gösterildiği şekilde olur. Burada A, B ve C'nin yukarı doğru saydığı açık olarak görülmektedir. Şekil-1'deki devre CK Q çıkışına bağlıyken yukarı doğru, Q' çıkışına bağlıyken aşağı doğru sayacaktır.



Şekil-3

JK flip-flopu, bu deneyde temel sayıcı devrelerini gerçeklemek için kullanılan genel bir flip-floptur. Şekil-4 gösterilen devre JK flip-floplarının art arda bağlanmasıyla gerçekleştirilmiş bir yukarı/aşağı sayıcıdır.



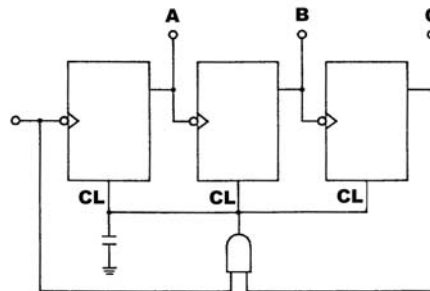
Şekil-4

M=0 iken, CK Q çıkışına bağlanır ve devre "YUKARI" doğru sayar.
M=1 iken, CK Q' çıkışına bağlanır ve devre "AŞAĞI" doğru sayar.

Şekil-4'deki devrede olduğu gibi art arda bağlamayla gerçekleştirilen devreler "Asenkron Sayma" yapar. "n'e bölme etkisi"ni elde etmek için çıkış "SİL" girişine bağlanmalıdır.

STATE	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	0	0	0
6	0	0	1

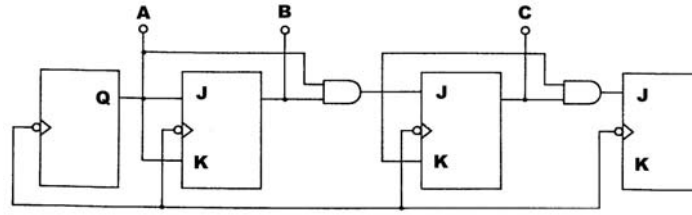
Asenkron “n”e bölme işlemini elde etmenin bir başka yöntemi de, bir “5’e bölen sayıcı devresi” olan Şekil-6 ’daki devrede gösterilmiştir. CBA=100 durumunda C çıkışı CL girişine bir VE kapısıyla bağlanmıştır. Silme işlemini uzatmak için CL girişlerine bir kondansatör bağlanmıştır. Kondansatör burada “1”durumunu devam ettirerek CK düşerken flip-flopun “Clear (Sil)” modunda kalmasını sağlar. Saat işaretinin inen-kenarında sayıcı hala “engellenmiş” haldedir.



2-4

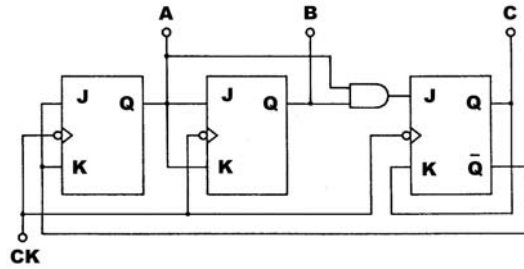
2'ye bölme ve 5'e bölme devreleri art arda bağlanarak BCD kodunda sayıcı devre gerçekleştirir. 10'a bölme ve 6'ya bölme devreleri 60Hz frekansındaki AC gerilimle birleştirilerek 1Hz'lik zamanlama işareti elde edilir. Eğer bütün saat girişleri birlikte bağlanırsa bir senkron sayıcı elde edilir. Böyle devrelerin çalışma hızı art arda bağlanarak elde edilmiş asenkron sayıcılarından çok daha fazladır, ancak senkron sayıcılarla 2^n sayıcılar tasarlamak oldukça karmaşıktır.

Şekil-7'de 4-bitlik 16'ya bölen sayıcı devresi gösterilmiştir.



Şekil-7

Şekil-8'de senkron 5'e bölen sayıcı devresi gösterilmiştir. Bu devrenin yapısının asenkron sayıcıdan daha karmaşık olduğu açıktır.



Şekil-8 Senkron 5'e Bölen Sayıcı

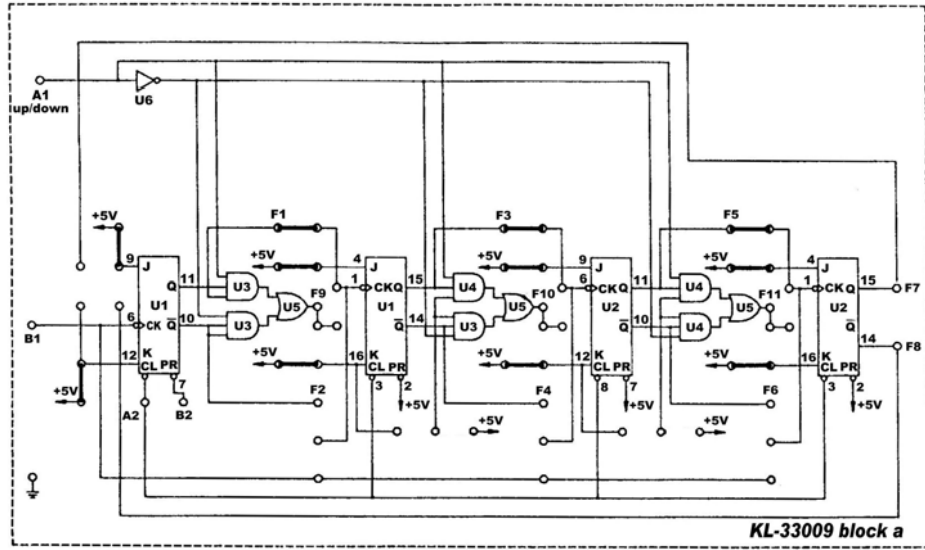
KULLANILACAK ELEMANLAR

1. KL-31001 Dijital Lojik Lab.
2. KL-33009 Modülü
3. KL-33010 Modülü
4. Osiloskop

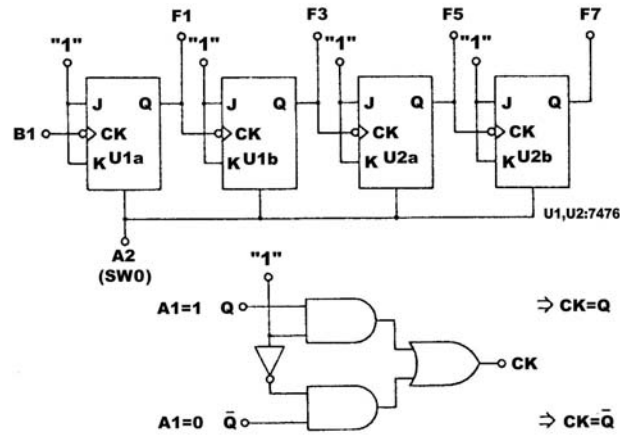
DENEYİN YAPILIŞI

(a) Asenkron İki Tabanında Yukarı Sayıcı

1. Şekil-10'daki devreyi kurmak için bağlantı klipslerini Şekil-9'a göre yerleştirin.



Şekil-9



Şekil-10

2. A2 (Clear) girişini SW0 anahtarına, A1 girişini +5V'a, F1, F3, F5, F7 çıkışlarını L1~L4 lojik göstergelerine, B1(CK) saat girişini darbe üreticine bağlayın ve frekansı 1Hz olarak ayarlayın.
3. Başlangıçta SW0 anahtarını "1" konumuna getirerek çıkışı sıfırlayın. Daha sonra saymaya başlamak için SW0 anahtarını "0" konumuna getirin. Saat işaretini ve çıkışları osiloskop ile ölçüp, çıkışları Şekil-11'e kaydedin.

Şekil-11

4. Sayma sürecinde SW0 anahtarı “1” konumuna getirilirse ne olur?

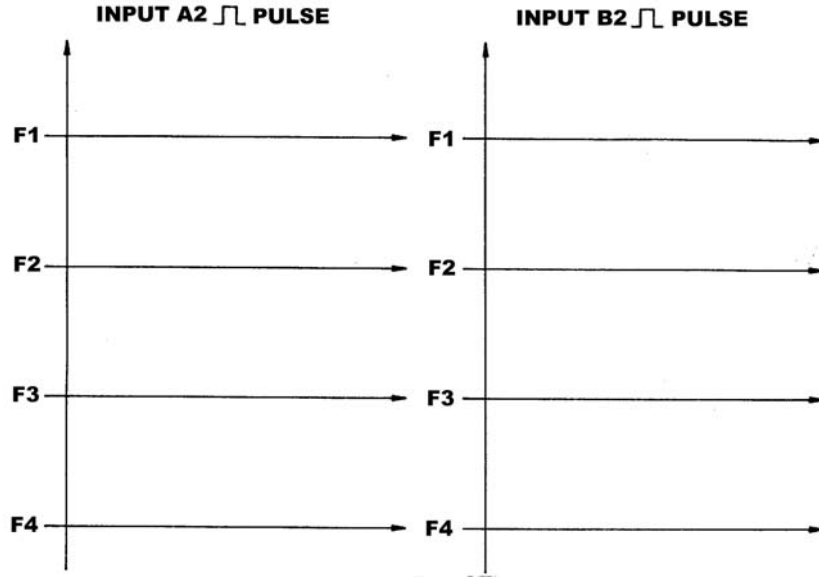
(b) Asenkron On Tabanında Yukarı Sayıcı

1. Deneyin bu bölümünde KL-33010 modülünün d bloğundaki U4 tümdevresi (7490) kullanılacaktır. Şekil-13’de tüm devrenin blok diyagramı verilmiştir.

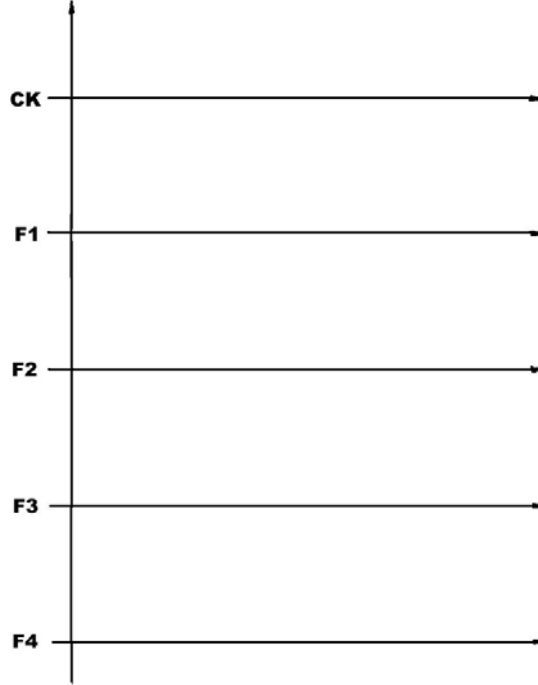
Şekil-12

Şekil-13

2. C3, C4, D1, D2 bacaklarını SW0, SW1, SW2, SW3 anahtarlarına, F1~F4 çıkışlarını L1~L4 lojik göstergelerine, A2 girişini SWA anahtarının Q çıkışına, B2 girişini SWB anahtarının Q çıkışına bağlayın.
3. (A) C3, C4, D1, D2'yi toprağa bağlayınız ve A2'ye SWA Q'dan işaret gönderin. Çıkıştaki dalga şekillerini ölçüp Şekil-14'e kaydedin.
- (B) C3, C4, D1, D2'yi toprağa bağlayınız ve B2'ye SWB Q'dan işaret gönderin. Çıkıştaki dalga şekillerini ölçüp Şekil-15'e kaydedin.



4. F1'i B2'ye, A2'yi ise 1 Hz frekansındaki darbe üreticine bağlayın. A2 (CK), F1, F2, F3, F4'ü ölçüp Şekil-16'ya kaydedin.

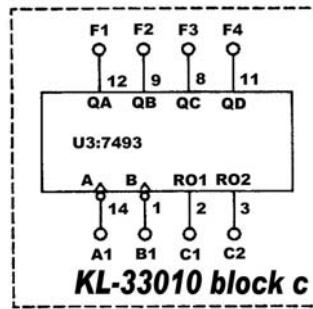


Şekil-16

5. C3, C4'ü +5V'a, D1, D2'yi toprağa bağlayın. Çıkışlar nasıl dır?
6. D1, D2'yi +5V'a, C3, C4'ü toprağa bağlayın. Çıkışlar nasıl dır?

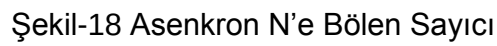
(c) Asenkron N'e Bölen Yukarı Sayıcı

1. Deneyin bu bölümünde KL-33010 modülünün c bloğundaki Şekil-17'de gösterilen U3 tümdevresi (7493) kullanılacaktır. Şekil-18'de tüm devrenin blok diyagramı verilmiştir.



Şekil-17

LS93

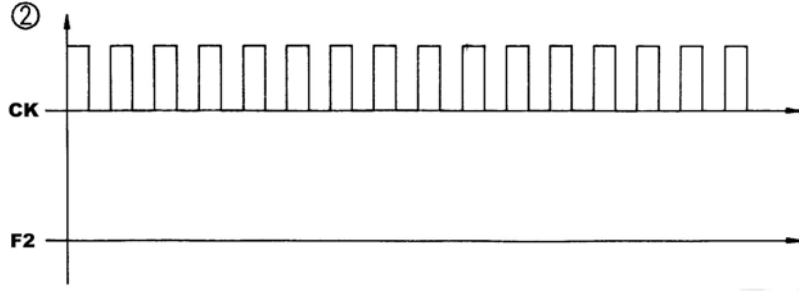


- | | C1 | C2 | F2 | F3 | F4 |
|---|---------|-------|----|----|----|
| ① | CONNECT | F2 | | | |
| ② | CONNECT | F3 | | | |
| ③ | CONNECT | F4 | | | |
| ④ | CONNECT | F2 F3 | | | |
| ⑤ | CONNECT | F2 F4 | | | |
| ⑥ | CONNECT | F3 F4 | | | |

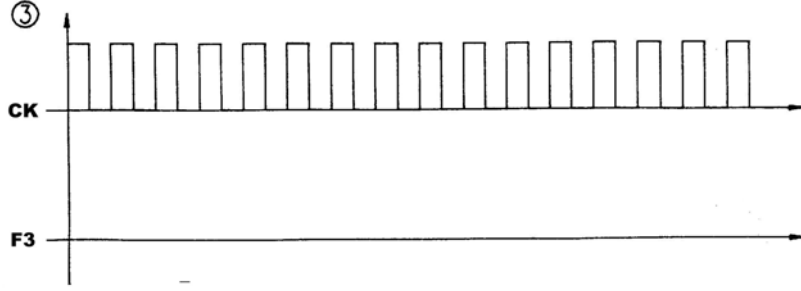
①

The diagram shows two horizontal axes. The top axis is labeled 'CK' and has a series of 15 rectangular pulses of equal width and height. The bottom axis is labeled 'F4' and is a continuous horizontal line.

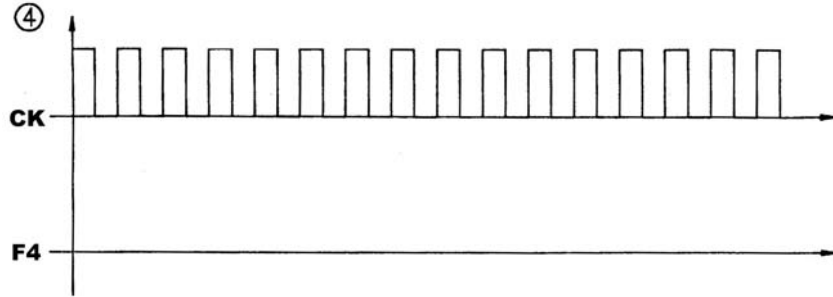
2-10



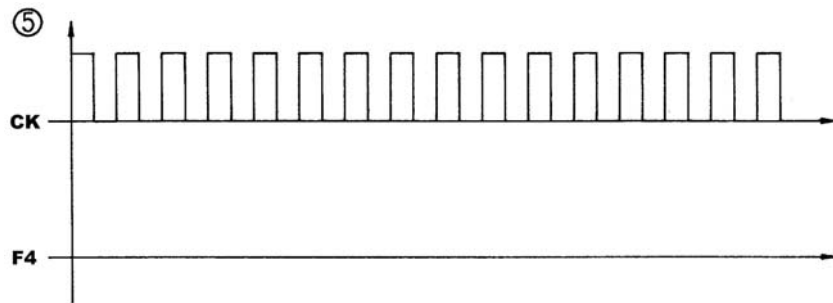
Bu bir _____'e bölme devresidir.



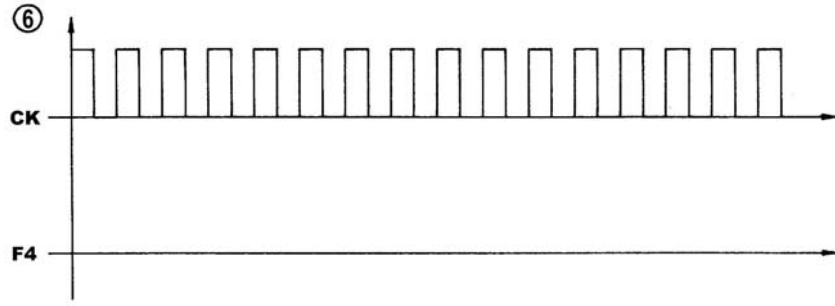
Bu bir _____'e bölme devresidir.



Bu bir _____'e bölme devresidir.



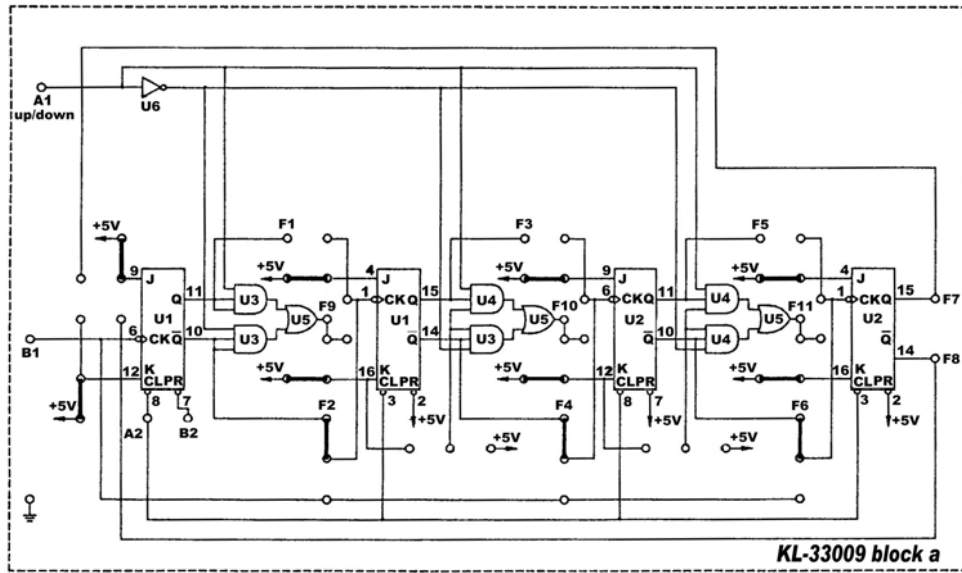
Bu bir _____'e bölme devresidir.



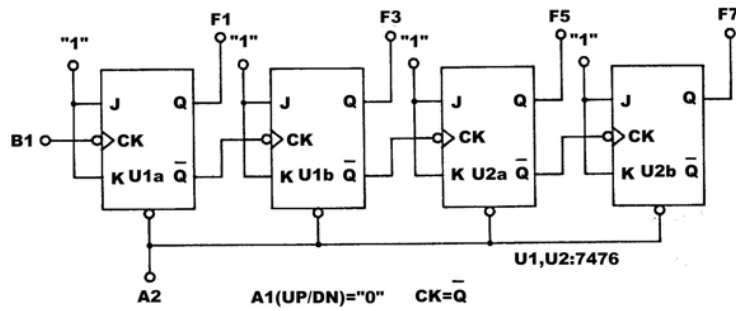
Bu bir _____'e bölme devresidir.

(d) Asenkron İki Tabanında Aşağı Sayıcı

1. Şekil-20'deki D flip-flopu devresini kurmak için bağlantı klipslerini Şekil-19'a göre yerleştirin.



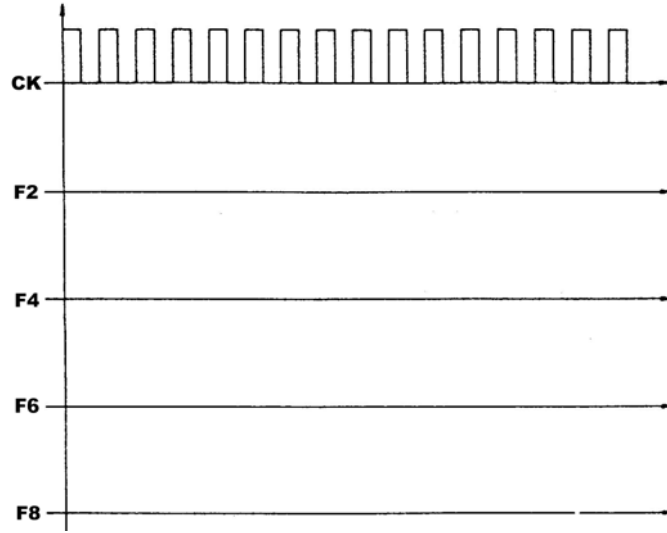
Şekil-19



Şekil-20

2. A2 (Clear) girişini SW0 anahtarına, A1 girişini +5V'a, B1(CK) saat girişini darbe üreticine bağlayın ve frekansı 1Hz olarak ayarlayın.

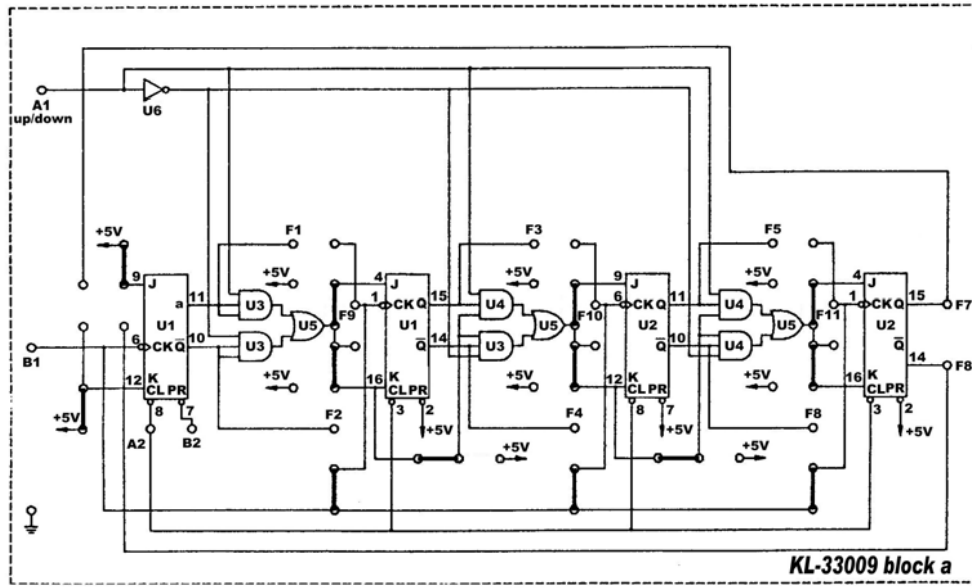
F2, F4, F6, F8 çıkışlarını ise L5~L8 lojik göstergelerine bağlayın. Çıkışları osiloskop ile ölçüp, çıkıştaki dalga şekillerini Şekil-21'e çizin.



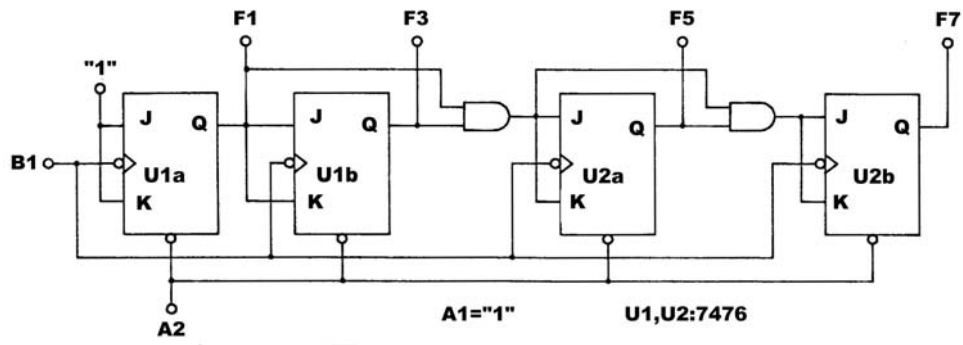
Şekil-21

(e) Senkron İki Tabanında Yukarı Sayıcı

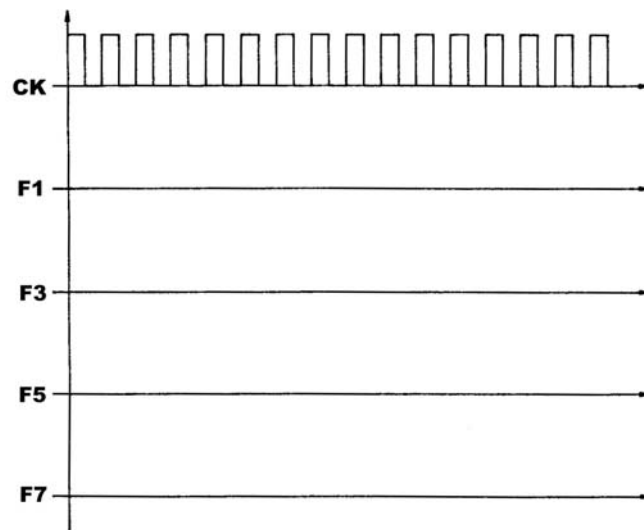
1. Şekil-23'deki devreyi kurmak için bağlantı klipslerini Şekil-22'ye göre yerleştirin.
2. A1 girişini +5V'a, A2 (SİL) girişini SW1 anahtarına, B1(CK) saat girişini darbe üreticine bağlayın ve frekansı 1Hz olarak ayarlayın. Çıkışları osiloskop ile ölçüp, çıkıştaki dalga şekillerini Şekil-24'e çizin.



Şekil-22



Şekil-23



Şekil-24

ÇOKTAN SEÇMELİ SORULAR

() 1. Bir JK flip-flop 2'ye bölme devresi olarak kullanılırsa J ve K girişlerinin durumları ne olur?

1. $J=0, K=0$
2. $J=K=1$
3. $J=1, K=0$

() 2. 5'e bölme devresini gerçeklemek için kaç adet T flip-flop kullanmak gerekir?

1. 2
2. 3
3. 4

() 3. Dört adet flip-flop ile aşağıdaki sayıcılardan hangisi gerçekleştirilebilir?

1. 24'e bölen sayıcı
2. 48'e bölen sayıcı
3. 16'ya bölen sayıcı

() 4. Hangi tür sayıcıların bütün CK saat girişleri birbirine bağlanmıştır?

1. Senkron
2. Asenkron
3. Dalgalı

() 5. 99'e bölme devresi gerçeklemek için en az kaç adet flip-flop kullanmak gerekir?

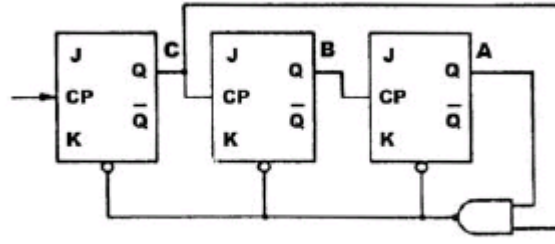
1. 3
2. 6
3. 7

() 6. Bir T flip-flop için $T=0$ ve $CK=1$ olursa Q çıkışı ne olur?

1. Q
2. Q'
3. 0

7. Şekil H-4'te gösterilen sayıcı bir:

1. 6'ya bölen sayıcıdır
2. 5'e bölen sayıcıdır
3. 8'e bölen sayıcıdır



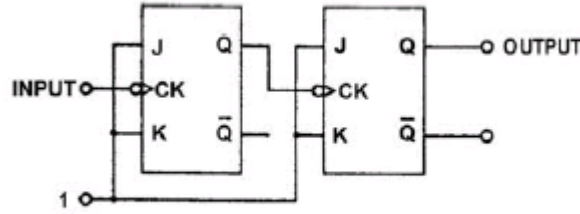
Şekil H-4

() 8. 6 adet flip-flopla gerçekleştirilmiş bir 2 tabanında sayıcı 0'dan kaç kadar sayabilir?

1. 6
2. 32
3. Hiçbiri

9. Şekil H-6'daki devrenin girişine 20KHz frekansında bir kare dalga uygulanırsa çıkıştaki dalganın frekansı ne olur?

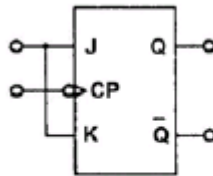
1. 20 KHz
2. 40 KHz
3. 5 KHz



Şekil H-6

10. Şekil H-8'de gösterilen J ve K girişleri birbirine bağlanmış JK flip-flopu aşağıdakilerden hangisine eşdeğerdir?

1. RS flip-flopu
2. JK flip-flopu
3. T flip-flopu

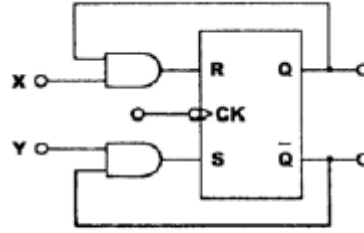


Şekil H-8

() 11. Şekil H-7'de gösterilen devre ne tür bir sayıcı devresidir?

1. JK flip-flopu

2. XY flip-flopu
3. RS flip-flopu



Şekil H-9