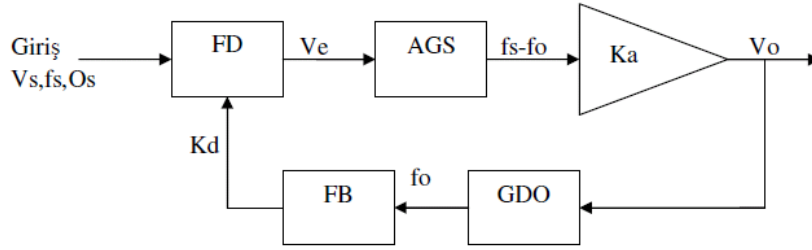


FAZ KİLİTLEMELİ ÇEVİRİM (PLL)

1-Temel Bilgiler

Faz kilitlemeli çevrim (FKÇ) (Phase Lock Loop, PLL) dijital ve analog haberleşme ve kontrol uygulamalarında sıkça kullanılan bir elektronik devredir. FKÇ, faz dedektörü (FD), alçak geçiren süzgeç (AGS), yükselteç ve gerilim denetimli osilatörden (GDO) oluşur. Bazı uygulamalarda GDO'nun çıkışına frekans bölücü (FB) eklenebilir. Gerilim denetim osilatör işaretinin fazı, gelen işaretle aynı frekans ve fazda olmaya çalışır (kilitlenmeye). Kilitlenmede, gelen işaretin frekansı ile GDO'nun frekansı aynıdır. Eğer devrede frekans bölücü varsa GDO'nun frekansı, gelen işaretin frekansının bölme oranı kadar çarpılmıştır. Gelen işaretin frekansı GDO'nun frekansından farklı ise FD'nin çıkış işareti GDO'nun frekansını gelen işaretin frekansı ile aynı yapmaya çalışır. GDO'ya uygulanan kontrol gerilimi, gelen işaretin frekansının bir fonksiyonudur. Radyo, manyetik disk, seri haberleşme, uzaktan kumanda sistemleri vb. FKÇ uygulama alanlarının bir kısmıdır.

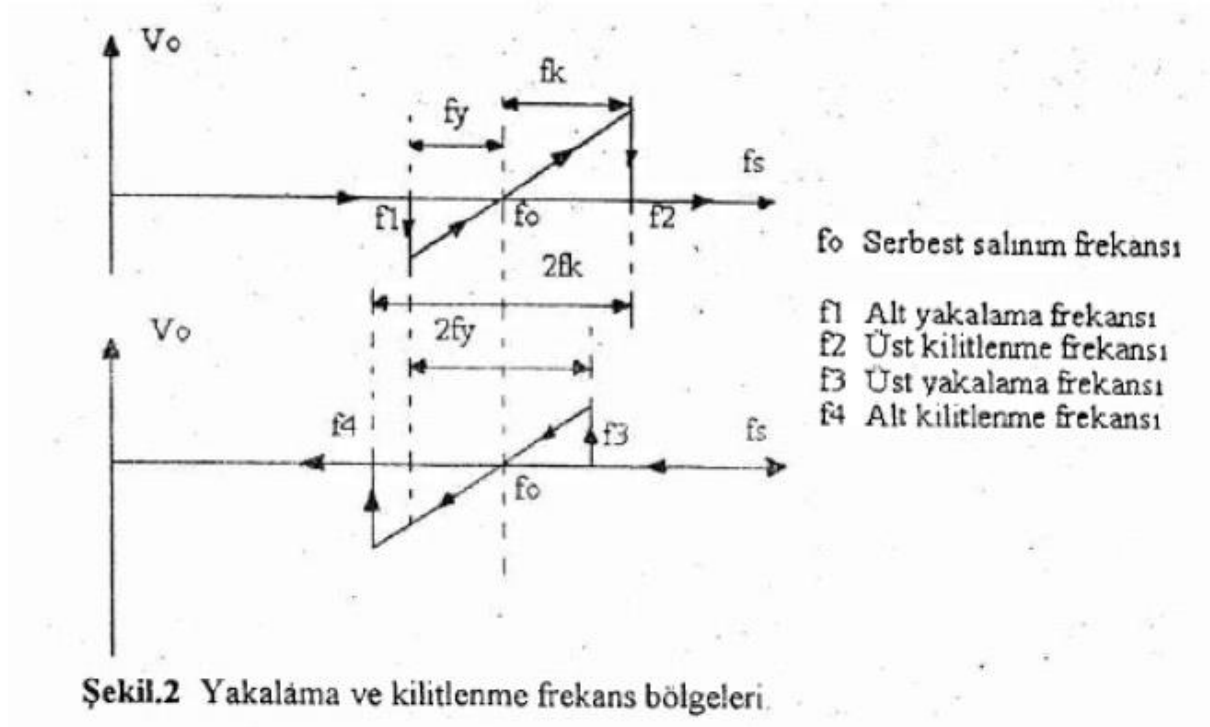


Şekil-1. Temel FKÇ blok diyagramı

FKÇ yalnız kilitleme bölgesi içinde doğrusal davranış sergiler, ama bunun dışında davranışı eğriseldir. Şekil-1'deki blokların parametreleri doğrusal çalışma için tanımlanmıştır. Sisteme giriş işareti uygulanmazsa, kontrol gerilimi $V_o(t)$ sıfırdan farklıdır ve GDO serbest salınım frekansında çalışır. Eğer giriş işareti sisteme uygulanırsa FD, giriş işareti ile GDO işaretinin faz ve frekansını karşılaştırır ve hata gerilimi $V_e(t)$ 'yi üretir. $V_e(t)$ iki işaret arasındaki faz ve frekans farkı ile bağlantılıdır. Hata gerilimi süzülür, yükseltilir ve GDO'nun frekansı f_0 ile giriş işaretinin frekansı f_s arasındaki frekans farkını azaltacak yönde GDO'yu zorlar. Eğer giriş frekansı f_s , f_0 'ya yeterince yakınsa FKÇ'nin geri besleme özelliğinden dolayı GDO'nun işareti giriş işaretine kilitlenir. Yani iki işaretin frekansı ve fazı aynı olur. Sistem kilitlendikten sonra giriş işaretinin frekansı ile GDO frekansı aynıdır. Fakat iki işaret arasında faz farkı vardır. Bu faz farkı GDO'nun frekansını serbest salınım değerinden giriş frekansı değerine kaydırması için gereklidir. Dolayısıyla bu faz farkı FKÇ'yi kilitlemede tutar. FKÇ kilitlendikten sonra, giriş işaretindeki frekans değişimini belirli bir sınır içerisinde izler. Kilitlenme sağlandıktan sonra, FKÇ'nin kilitlenmede kaldığı frekans bölgesine **kilit bölgesi** (*lock range*) f_k denir. Kilitlenme yokken FKÇ'nin gelen işaretle kilitlenme elde

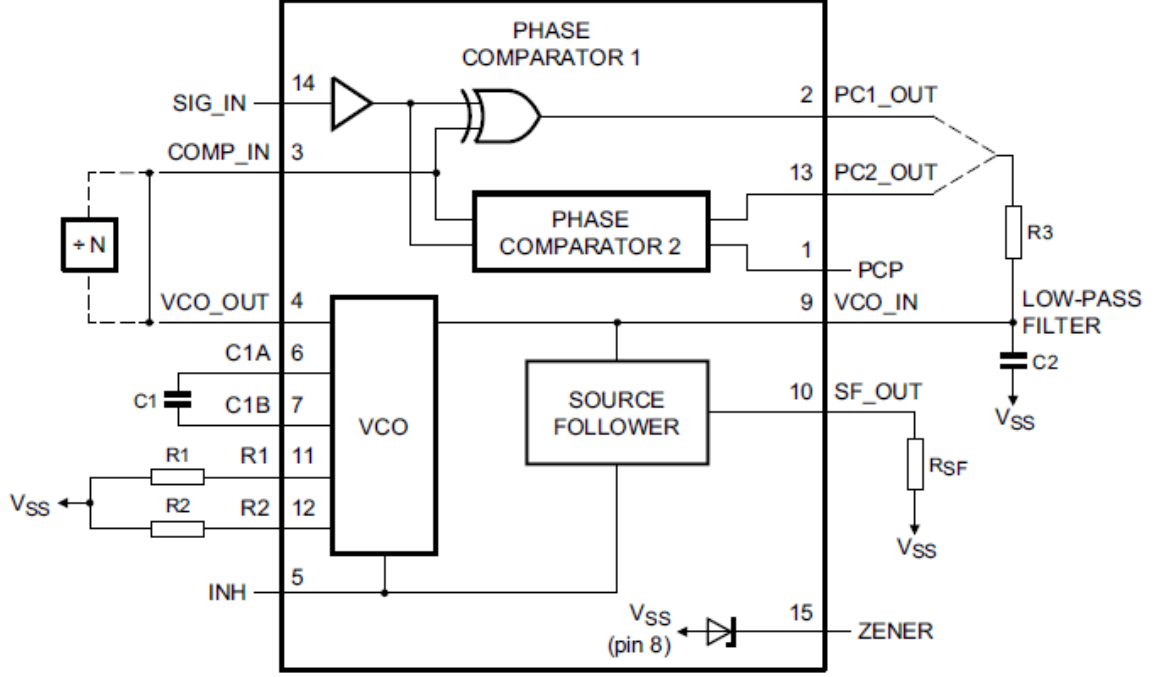
edilebildiği frekans bölgesine **yakalama bölgesi** (capture range) f_y denir. Yakalama bölgesi kilitlenme bölgesinden küçüktür.

Faz dedektörü aslında bir çarpıcı devresidir. Giriş işareti ile GDO'nun işareti çarpılır. Çarpım sonucu toplam ve fark frekanslar ($f_s \pm f_0$) ortaya çıkar. FD'nin özeğrisi sinüs, üçgen veya testere dişi şeklinde olabilir. FD'nin çıkışı bir DA (doğru akım) bileşeni içerir. Bu DA bileşeni süzülüp yükseltildikten sonra denetim gerilimi olarak GDO'ya uygulanır. Alçak geçiren süzgeç ise FD çıkışındaki $f_s + f_0$ frekanslı bileşeni süzüp atar. Yükselteç, süzgeçten gelen işaretleri yükseltmek için gereklidir. Gerilim denetimli osilatör ise denetim geriliminin işlevi olarak f_0 frekanslı bir işaret üretir. GDO işaretinin frekansı $f_{0i+1} = f_{0i} \pm kf_s$ olarak verilebilir.



2- 4046 PLL Entegresi ve çalışması

4046 entegresi lineer gerilim denetimli osilatör (VCO) ve iki farklı faz karşılaştırıcıdan oluşan faz kilitlemeli çevrim devresidir. Bu tümleşik devre V_{DD} ucundan uygulanan 3V-15V aralığındaki besleme gerilimiyle çalışabilmektedir. Şekil 3'te PLL entegresinin iç yapısının blok diyagramı verilmiştir.

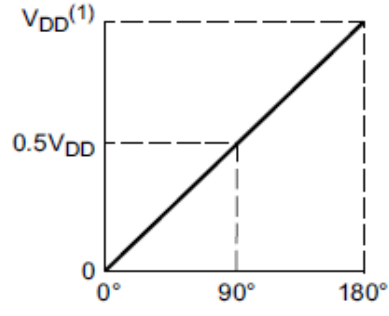


Şekil-3: 4046 PLL entegre iç yapısı

VCO denetimi: VCO bir harici kapasitör (C1) ve bir direnç (R1) gerektirir, bir tane de opsiyonel direnç (R2) barındırır. R1 ve C1, VCO'nun frekans aralığını belirlerken R2 ise gerektiğinde VCO'nun belirli bir frekans ofsetine sahip olmasını sağlar. VCO'nun yüksek giriş empedansı alçak-geçiren filtrenin tasarımını kolaylaştırır; tasarımcıya geniş bir kapasitör/direnç seçim aralığı sunar. VCO çıkışı (pin 4), COMP_IN (pin 3) komparatör girişine doğrudan veya bir frekans bölücü üzerinden bağlanabilir. INH_IN (pin 5) ucuna alçak seviyeli sinyal uygulamak VCO'yu ve kaynak izleyiciyi aktif hale getirir. Diğer yandan, bu uca yüksek seviyeli sinyal uygulamak ise her iki bileşeni de kapatarak güç tüketimini minimize eder.

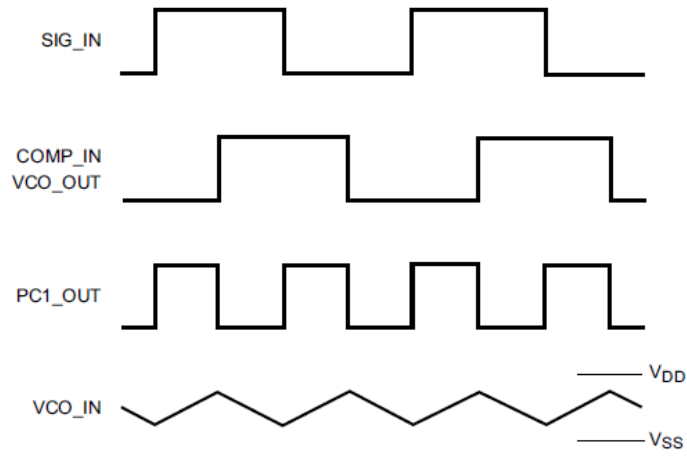
Faz Karşılaştırıcılar: 1. faz karşılaştırıcı bir EXCLUSIVE-OR elemanından ibarettir. Sinyal ve karşılaştırıcı giriş frekansları, maksimum kilitlenme bölgesini elde etmek için, %50 duty cycle'a sahip olmalıdır. Faz karşılaştırıcı 1'in ortalama çıkış gerilimi, sinyal girişinde bir sinyal uygulanmazken $0.5V_{DD}$ 'dir. Şekil-3'teki VCO giriş ucundaki VCO_IN ortalama gerilimi, 1. faz karşılaştırıcının çıkışına bağlı olan alçak geçiren filtre tarafından sağlanır. Bu durum ayrıca VCO'nun f_0 merkez frekansının civarında salınım yapmasına neden olur. Başlangıçta kilitli değilken PLL'nin kilitleneceği giriş sinyallerinin frekans aralığı frekans **yakalama bölgesi** ($2f_c$) olarak tanımlanır. Başlangıçta kilitli iken PLL'nin kilitli kalacağı frekans aralığı frekans kilit bölgesi ($2f_L$) olarak tanımlanır. Yakalama bölgesi, kilit bölgesine eşit ya da ondan daha küçüktür.

1. faz karşılaştırıcı ile PLL'nin kilit kazanacağı frekansların aralığı (bölgesi) alçak geçiren filtre karakteristiğine bağlıdır ve bu bölge kilit bölgesi kadar geniş yapılabilir. 1. faz karşılaştırıcı, giriş sinyaline yüksek gürültüye rağmen PLL'nin kilitli kalmasına olanak tanır. Bu tarz karşılaştırıcının iki tipik davranışı vardır. Birincisi, VCO merkez frekansının harmoniklerine yakın frekanslara kilitlenebilir. Diğeri ise sinyal ve karşılaştırıcı girişi arasındaki faz açısı 0° ile 180° arasında değişir. Bu değer, merkez frekansta 90° 'dir. f_0 'a kilitlenmiş PLL'nin 1. faz karşılaştırıcısına ait dalga şekilleri Şekil-5'te gösterilmiştir.



(1) Ortalama çıkış gerilimi

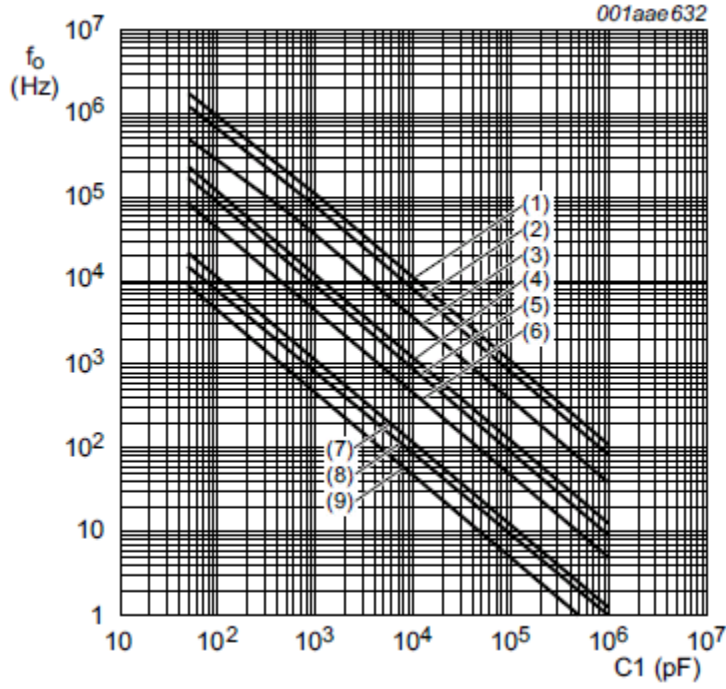
Şekil-4: 1. karşılaştırıcı için sinyal-karşılaştırıcı girişlerinin faz farkı



Şekil-5: f_0 'a kilitlenmiş PLL'nin faz karşılaştırıcı 1'ine ait tipik dalga şekilleri

VCO elemanlarının seçimi:

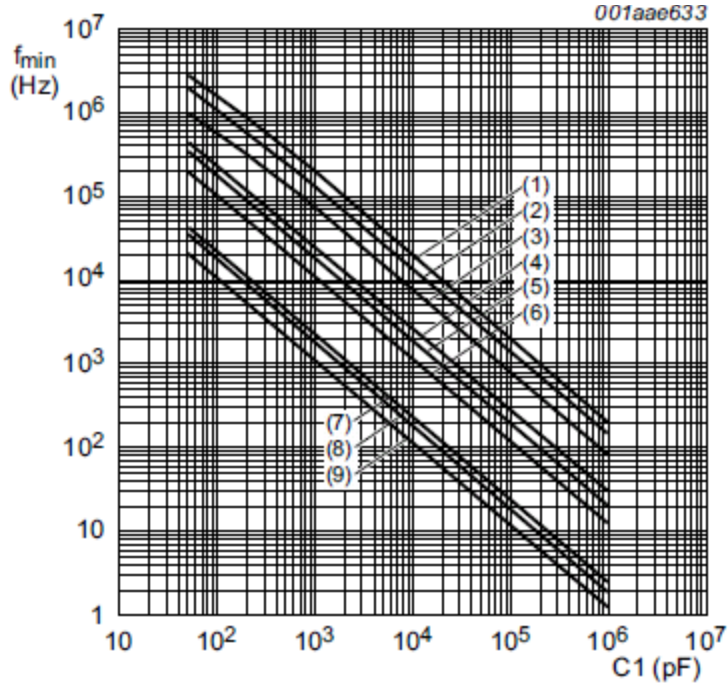
R1 ve R2 için tavsiye edilen aralık: $10K\Omega$ - $1M\Omega$.
C1 ise $50pF$ 'tan büyük



$T_{amb} = 25\text{ }^\circ\text{C}$; VCO_IN at $0.5V_{DD}$;
INH_IN at V_{SS} ; $R_2 = \infty$.

Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
Lines (1), (2), and (3): $R_1 = 10\text{ k}\Omega$;
Lines (4), (5), and (6): $R_1 = 100\text{ k}\Omega$;
Lines (7), (8), and (9): $R_1 = 1\text{ M}\Omega$.

Şekil-6: C1 kapasitörünün bir fonksiyonu olarak tipik merkez frekans



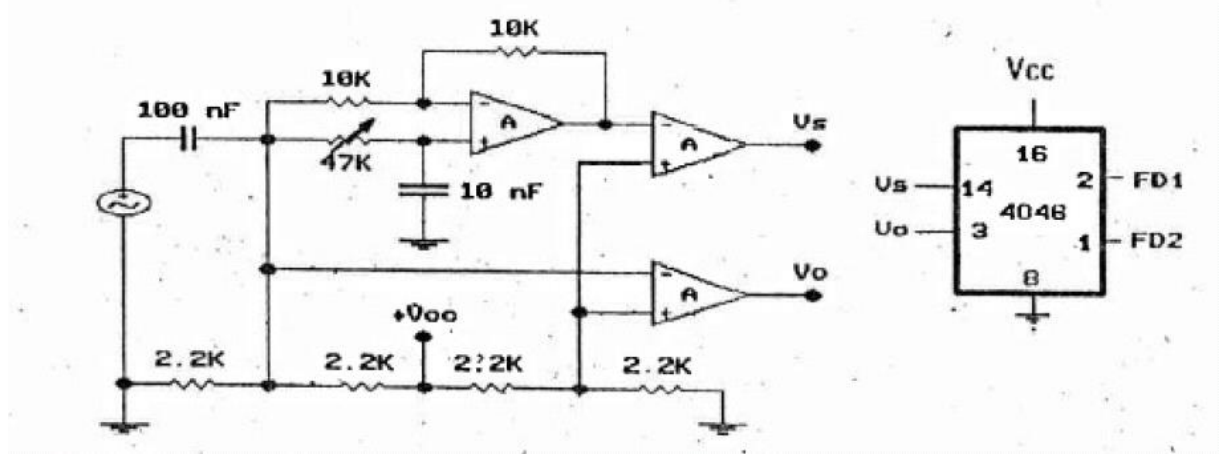
$T_{amb} = 25\text{ }^\circ\text{C}$; VCO_IN at V_{SS} ; INH_IN at V_{SS} ; $R_1 = \infty$.

Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
Lines (1), (2), and (3): $R_2 = 10\text{ k}\Omega$;
Lines (4), (5), and (6): $R_2 = 100\text{ k}\Omega$;
Lines (7), (8), and (9): $R_2 = 1\text{ M}\Omega$.

Şekil-7: C1 kapasitörünün bir fonksiyonu olarak tipik frekans ofseti

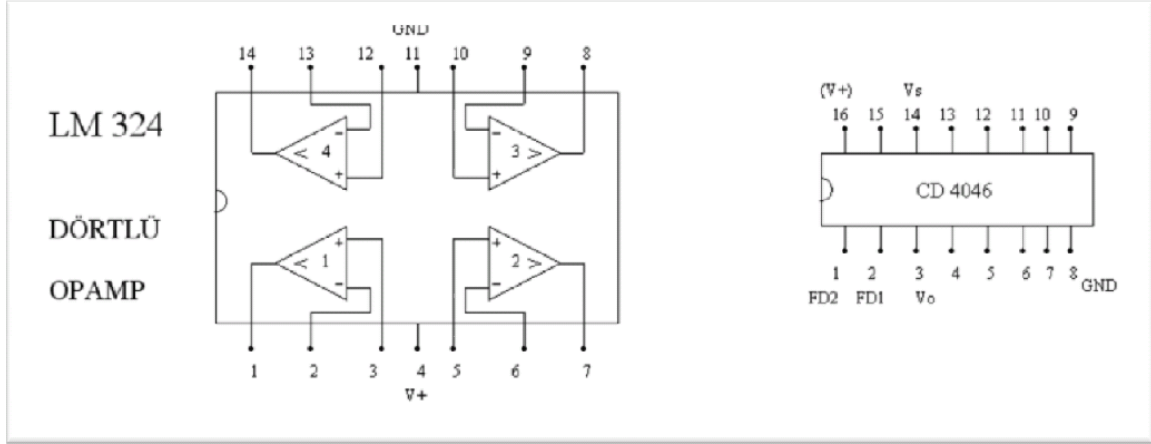
2-DENEYİN YAPILIŞI

Bu deneyde LM 324 işlemsel yükseltici ve CD 4046 PLL entegresi incelenecektir.



Şekil-8: Deney devresi

- 1) Şekil-8'deki devredeki Vs ve Vo uçlarını 4046 PLL'sine bağlamadan önce osiloskopu dual modda çalıştırarak ilgili çıkışları görüntüleyip, çiziniz.
- 2) Vs ve Vo uçlarını Şekil-8'de gösterildiği gibi 4046 entegresinin ilgili uçlarına bağlayıp FD1 ucundan elde edilen sinyali osiloskopta görüntüleyip çiziniz. Bu sinyal ile 1.maddede elde ettiğiniz sinyaller arasındaki ilişkiyi yorumlayınız.
- 3) Vo uçlarından 4046 entegresine giden bağlantıyı sökünüz. 4046 entegresinin VCO_OUT ile COMP_IN uçlarını Şekil-3'te görüldüğü gibi birleştiriniz. 4046 Entegresinin SIG_IN ve PC1_OUT uçlarını osiloskopta gözlemleyiniz.
- 4) Şekil-3'teki devrede görülen R1 ve C1 elemanlarının değerlerini devrenizde multimetre ile ölçüp kaydediniz. Şekil-6'daki grafikten yararlanarak bulduğunuz R1 ve C1 değerlerine karşı düşen f_0 merkez frekansını bulunuz.
- 5) Devrede kullanılan fonksiyon üreticinin frekans değerini madde 4'te bulduğunuz merkez frekans değerine getiriniz. Bir yandan fonksiyon üreticinden üretilen sinyalin frekansını değiştirirken, diğer yandan osiloskopta görülen SIG_IN ve COMP_IN sinyallerini izleyiniz. COMP_IN sinyalinin SIG_IN sinyalini takip edebildiği alt ve üst frekans sınır değerlerini kaydediniz.



Şekil-9: LM324 ve 4046 bacak bağlantıları.